

INVESTIGATION ON PATTERN BASED ALGORITHM FOR DIVISION BY A CONSTANT
NUMBER USING VERILOG CODE FOR OPTIMIZATION ON THE NETLIST RESULTS
(SLB0013-TK-2012)

¹FOUZIAH MD YASSIN
²AG ASRI AG IBRAHIM
¹ZATURRAWIAH ALI OMAR
¹SATURI BACO

¹FACULTY OF SCIENCE AND NATURAL RESOURCES
²FACULTY OF COMPUTING AND INFORMATICS
UNIVERSITI MALAYSIA SABAH

TECHNOLOGY AND ENGINEERING: ELECTRICAL AND ELECTRONIC

2015



UMS
UNIVERSITI MALAYSIA SABAH

ABSTRACT

Even though sophisticated synthesis strategies are used for optimization (e.g. area and power consumption), the quality of the result heavily depends on the quality of the Register Transfer Level (RTL). For multiplication and division by a constant number that is power of 2 can be done using left shift (multiplication) and right shift (division) in RTL design. However systems commonly multiply and divided by other constant numbers, such as by 3 or 7. An implementation of division in hardware is expensive. One of the alternatives is by replacing it with cheaper adder and shifter to compute the same result. The research is to develop an algorithm of unsigned constant division via add-shift method using Verilog code. The result is rounded to the nearest integer for divisors of 3, 5, 6, 7 and 9. The methodology of this research are involving design specification, high level design using C++, RTL level description using Verilog, functional verification and logic synthesis using two different technology library. The required results were obtained. The outputs (*div_out*) of all denominators (*deno*) have been rounded to the nearest integer. However, the maximum bit widths of numerators (*numerator*) are only 13 except for the divisor of 3 that has the maximum bit width up to 16. The synthesis result of area, power and timing shows the significant difference between 0.18 μ m Siltera technology and MIMOS 0.35 μ m technology library. However, both technologies show the optimization of power and timing for constant division using add-shift scheme.



ABSTRAK

Walaupun strategi sintesis canggih digunakan untuk pengoptimuman (contohnya kawasan dan penggunaan kuasa), mutu hasil yang banyak bergantung kepada kualiti Pemindahan Tahap Daftar (RTL). Bagi pendaraban dan pembahagian oleh nombor malar yang berkuasa 2 boleh dilakukan dengan menggunakan anjakan kekiri (darab) dan anjakan kekanan (pembahagian) dalam reka bentuk RTL. Walau bagaimanapun sistem biasanya didarab dan dibahagikan dengan nombor tetap yang lain, seperti dengan 3 atau 7. Pelaksanaan kaedah pembahagian dalam perisian memakan kos yang tinggi. Salah satu alternatif ialah dengan menggantikannya dengan kaedah yang lebih murah iaitu kaedah penambahan dan anjakan untuk mendapatkan keputusan yang sama. Kajian ini adalah untuk mencipta satu algoritma pembahagian nombor malar melalui kaedah penambahan dan anjakan menggunakan kod Verilog. Hasil keluarannya dibundarkan kepada integer yang terdekat untuk pembahagi 3, 5, 6, 7 dan 9. Metodologi kajian ini melibatkan spesifikasi reka bentuk, reka bentuk tahap tinggi menggunakan C ++, penerangan tahap RTL menggunakan Verilog, pengesahan berfungsi dan sintesis logik menggunakan dua perpustakaan teknologi yang berbeza. Keputusan yang diperlukan telah diperolehi. Keluaran (div_out) bagi semua penyebut (deno) telah dibundarkan kepada nilai yang terdekat. Walau bagaimanapun, maksimum bit untuk pengangka (numerator) hanyalah 13 bit kecuali bagi pembahagi 3 yang mempunyai maksimum bit sehingga 16 bit. Hasil sintesis kawasan, kuasa dan masa menunjukkan perbezaan yang signifikan di antara teknologi 0.18 μ m Siltera dan 0.35 μ m MIMOS perpustakaan teknologi. Walau bagaimanapun, kedua-dua teknologi menunjukkan pengoptimuman dari segi kuasa dan masa apabila keadah penambahan and anjakan digunakan untuk pembahagian nombor malar.